

PAT-NO: JP02000214964A
DOCUMENT- JP 2000214964 A
IDENTIFIER:
TITLE: DATA STORAGE DEVICE, PERIPHERAL DEVICE, COMPUTER
SYSTEM, AND METHOD FOR CONTROLLING SUPPLY OF ELECTRIC
POWER
PUBN-DATE: August 4, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
ROBERT, MARION WELLS	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
INTERNATL BUSINESS MACH CORP	N/A

APPL-NO: JP20000001273

APPL-DATE: January 7, 2000

PRIORITY-DATA: 99234142 (January 19, 1999)

INT-CL (IPC): G06F001/26 , G06F001/04

ABSTRACT:

PROBLEM TO BE SOLVED: To overcome faults of a remote automatic power controller for a computer system by detecting clock signal loss at each data communication interface and generating a power-down signal.

SOLUTION: Computers which are connected to data communication interfaces 331 are powered on to operate and become communicable with a peripheral device 308. A detector circuit 400 monitors the data communication interfaces 331. This detector circuit 400 detects a communication link inactive state among the data communication interfaces 332...342 and instructs a main power source 412 to stop

supplying the electric power to a peripheral device component 320. The peripheral device component 320 is substantially powered down. Thus, the detector circuit 400 detects clock signal loss at each data communication interface 331 and generates a power-down signal in response to that.

COPYRIGHT: (C) 2000, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-214964

(P2000-214964A)

(43) 公開日 平成12年8月4日(2000.8.4)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 0 6 F 1/26

G 0 6 F 1/00

3 3 4 C

1/04

3 0 2

1/04

3 0 2 A

審査請求 有 請求項の数20 OL (全 17 頁)

(21) 出願番号 特願2000-1273(P2000-1273)

(22) 出願日 平成12年1月7日(2000.1.7)

(31) 優先権主張番号 09/234142

(32) 優先日 平成11年1月19日(1999.1.19)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(72) 発明者 ロバート・マリオン・ウェルス

アメリカ合衆国95037、カリフォルニア州

モーガン・ヒル、スプリング・アベニュー 648

(74) 代理人 100086243

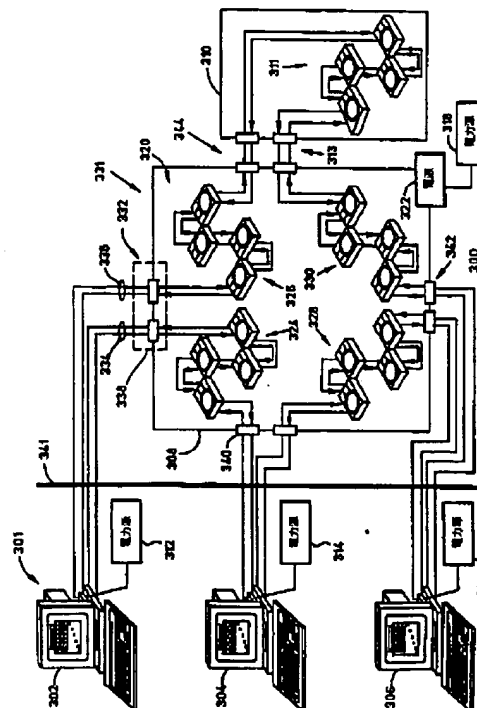
弁理士 坂口 博 (外1名)

(54) 【発明の名称】 データ記憶装置、周辺装置、コンピュータ・システム及び電力の供給を制御する方法

(57) 【要約】

【課題】 コンピュータ・システムのためのリモート自動パワー制御装置を提供すること。

【解決手段】 データ記憶装置などの周辺装置が、1つ以上のコンピュータを有するコンピュータ・システム内で使用される。コンピュータ・システムは、連続クロック同期式シリアル・リンクを提供するファイバ・チャネルまたはシリアル・ストレージ・アーキテクチャ (SSA) などのインタフェース・アーキテクチャを含む。データ記憶装置は、電源及びディスク・ドライブなどのデータ記憶コンポーネントを、ハウジング内に含む。導線を通じてコンピュータと接続するように適応化される1つ以上のデータ通信インタフェースが、ハウジング上に設けられ、データ記憶コンポーネントに接続される。データ記憶コンポーネントは、実質的なパワーアップ状態と、パワーダウン信号に応答して入力する実質的なパワーダウン状態とを有する。検出器回路が、各データ通信インタフェースにおいて、クロック信号損失を検出し、それに応答してパワーダウン信号を生成する。



【特許請求の範囲】

【請求項1】1つ以上のコンピュータを有し、連続同期式シリアル・リンクを介して通信するコンピュータ・システムにおいて使用されるデータ記憶装置であって、ハウジングと、

電源と、

前記ハウジング内に設けられ、パワーアップ状態及びパワーダウン状態を有し、パワーダウン信号に応答して、前記パワーダウン状態に入力するデータ記憶コンポーネントと、

前記ハウジング上に設けられ、前記データ記憶コンポーネントに接続され、それぞれが導線を介してコンピュータに接続されるように適応化される、1つ以上のデータ通信インタフェースと、

前記データ通信インタフェースの各々においてクロック信号損失を検出し、該検出に応答して、前記パワーダウン信号を生成する検出器回路とを含む、データ記憶装置。

【請求項2】前記検出器回路が、コンピュータ通信のために指定された前記データ通信インタフェースの各々において、前記クロック信号損失を検出する、請求項1記載のデータ記憶装置。

【請求項3】前記検出器回路が、前記データ通信インタフェースの少なくとも1つにおいてクロック信号を検出し、該検出に応答して、前記パワーダウン信号を停止する、請求項1記載のデータ記憶装置。

【請求項4】前記データ記憶コンポーネントが、ディスク・ドライブ、CD-ROMドライブ、テープ・ドライブ、及び光ドライブの少なくとも1つを含む、請求項1記載のデータ記憶装置。

【請求項5】前記電源が、前記コンピュータの電力源とは別の離れた電力源に接続するように適応化される、請求項1記載のデータ記憶装置。

【請求項6】前記データ記憶装置がファイバ・チャネル規格及びシリアル・ストレージ・アーキテクチャ（SSA）規格に従い構成される、請求項1記載のデータ記憶装置。

【請求項7】前記検出器回路が、データ通信インタフェースに接続される少なくとも1つのダイオードと、

前記少なくとも1つのダイオードに接続される第1の入力を有する比較器、及び基準電圧に接続される第2の入力を有する比較器とを含む、請求項1記載のデータ記憶装置。

【請求項8】ハウジングと、

前記ハウジング内に設けられ、パワーアップ状態及びパワーダウン状態を有する周辺装置コンポーネントと、

前記パワーアップ状態の時、前記周辺装置コンポーネントに電力を供給する電源と、

前記ハウジング上に設けられ、前記周辺装置コンポーネ

ントに接続され、それぞれが導線を介してコンピュータに接続されるように適応化される、少なくとも1つのデータ通信インタフェースと、

前記少なくとも1つのデータ通信インタフェースの各々における通信リンク非活動状態の検出に応答して、前記周辺装置コンポーネントを前記パワーダウン状態に入力させる検出器回路とを含む、周辺装置。

【請求項9】前記検出器回路が、前記少なくとも1つのデータ通信インタフェースの少なくとも1つにおける通信リンク活動の検出に応答して、前記周辺装置コンポーネントを前記パワーアップ状態に入力させる、請求項8記載の周辺装置。

【請求項10】電力源に接続されるように適応化される、前記電源の電力源インタフェースを含む、請求項8記載の周辺装置。

【請求項11】前記周辺装置がファイバ・チャネル規格に従い構成される、請求項7記載の周辺装置。

【請求項12】前記周辺装置がシリアル・ストレージ・アーキテクチャ（SSA）規格に従い構成される、請求項7記載の周辺装置。

【請求項13】周辺装置への電力の供給を制御する方法であって、前記周辺装置が1つ以上のコンピュータと通信する周辺装置コンポーネントを有し、前記コンピュータの電力源とは別の離れた電力源から動作可能なものにおいて、

前記周辺装置コンポーネントに電力を供給し、それらを動作状態にするステップと、

複数のデータ通信インタフェースの各々において、通信リンク非活動状態を検出するステップと、

前記通信リンク非活動状態の検出に応答して、前記周辺装置コンポーネントへの電力の供給を停止し、前記周辺装置コンポーネントを非動作状態にするステップとを含む、方法。

【請求項14】前記複数のデータ通信インタフェースの少なくとも1つ上の通信リンク活動を検出するステップと、

前記通信リンク活動の検出に応答して、前記周辺装置コンポーネントに電力を供給し、前記周辺装置コンポーネントを動作状態にするステップとを含む、請求項13記載の方法。

【請求項15】前記通信リンク非活動状態を検出するステップが、クロック信号損失を検出するステップを含む、請求項13記載の方法。

【請求項16】前記通信リンク非活動状態を検出するステップが、クロック信号損失を検出するステップを含み、前記通信リンク活動を検出するステップが、前記クロック信号を検出するステップを含む、請求項13記載の方法。

【請求項17】前記周辺装置コンポーネントに電力を供給するステップが、前記周辺装置のデータ記憶コンポー

ネットに電力を供給するステップを含む、請求項13記載の方法。

【請求項18】1つ以上のコンピュータを含み、前記各コンピュータが、

第1のハウジングと、

前記第1のハウジング内に配置され、コンピュータ・オン状態において動作状態となり、コンピュータ・オフ状態において非動作状態となる第1の電子コンポーネントと、

前記コンピュータ・オン状態の時、前記第1の電子コンポーネントに電力を供給する第1の電力源に接続されるように適応化される第1の電力源インタフェースと、前記第1のハウジング上に設けられ、前記コンピュータ・オン状態及びオフ状態を呼び出すために、それぞれオン位置及びオフ位置にアクチュエート可能な第1のアクチュエート式スイッチと、

前記コンピュータ・オン状態において、送信機出力に信号を生成し、前記コンピュータ・オフ状態において、前記信号の生成を停止するデータ送信機と、

前記送信機出力に接続される第1のデータ通信インタフェースと、

周辺装置とを含み、前記周辺装置が、

前記第1のハウジングとは別の離れた別の第2のハウジングと、

前記第2のハウジング内に設けられ、周辺装置オン状態において動作状態となり、周辺装置オフ状態において非動作状態となる周辺装置コンポーネントと、

前記周辺装置オン状態の時、前記周辺装置コンポーネントに電力を供給する、前記第1の電力源とは別の離れた第2の電力源に接続されるように適応化される第2の電力源インタフェースと、

前記ハウジング上に設けられ、それぞれがケーブルを介して、前記複数のコンピュータの前記第1のデータ通信インタフェースに接続されるように適応化される複数のデータ通信インタフェースと、

前記各コンピュータからの前記信号の停止を検出し、それに応答して、前記周辺装置を前記周辺装置オフ状態にセットする検出器回路とを含む、コンピュータ・システム。

【請求項19】前記検出器回路が、前記複数のコンピュータの少なくとも1つからの前記信号を検出し、それに応答して、前記周辺装置を前記周辺装置オン状態にセットする、請求項18記載のコンピュータ・システム。

【請求項20】前記複数のコンピュータの前記各データ送信機が、前記コンピュータ・オン状態の時、連続クロック信号を含む信号を生成する、請求項18記載のコンピュータ・システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に、コンピュー

タ・システムにおいて、周辺装置への電力の供給を制御する分野に関する。

【0002】

【従来の技術】コンピュータの利用の普及により、コンピュータ用にデータを記憶する柔軟で高度な可用性を有する装置に対する要求が益々増加している。多くの企業は複数のホスト・コンピュータを有し、それらには独立に機能するまたはネットワークを介して接続されるパーソナル・コンピュータ、ワークステーション、及びサーバが含まれる。データが全てのホスト・コンピュータによりアクセスされ得るように、複数のホスト・コンピュータがデータ記憶装置の共通のプールにアクセスできることが好ましい。こうした構成により、任意のホスト・コンピュータの使用可能なデータの総量が増加する。

【0003】これらのシステムのデータ記憶装置は、コンピュータ・ホストの近くのスペースを解放したり、バックアップ・データを保護するために、リモート位置に配置され得る。しかしながら、必要とされないときに、データ記憶装置をリモート位置において手操作によりパワーダウンすることは不都合である。

【0004】ホスト・コンピュータから周辺装置に長距離に渡って延びる専用のパワー制御ラインの使用により、リモート・パワー制御は既に実現されている。リモート・パワー制御はホストからのパワーアップ/ダウン・コマンドを用いて実現され、そのためにホストにおいて複雑なソフトウェア、更に周辺装置において複雑なコマンド・インタプリタが必要とされる。

【0005】

【発明が解決しようとする課題】従って、コンピュータ・システムのためのリモート自動パワー制御装置、特に従来のパワー制御の欠点を克服するこうした装置が待望される。

【0006】従って、本発明の目的は、上記の要求に応えるリモート自動パワー制御装置を提供することである。

【0007】

【課題を解決するための手段】データ記憶装置などの周辺装置は、任意の数のコンピュータを有し、連続クロック同期式シリアル・リンクを介して通信可能なコンピュータ・システムにおいて使用される。連続クロック同期式シリアル・リンクが、ファイバ・チャネルやシリアル・ストレージ・アーキテクチャ（SSA）などの、好適なインタフェース・アーキテクチャを通じて提供され得る。電源及びディスク・ドライブなどのデータ記憶コンポーネントが、ハウジング内に設けられる。導線を通じてコンピュータと接続するように適応化されるデータ通信インタフェースが、ハウジング上に設けられ、データ記憶コンポーネントに接続される。データ記憶コンポーネントは、実質的なパワーアップ状態と、パワーダウン信号に応答して入力する実質的なパワーダウン状態とを

5

有する。検出器回路が、各データ通信インタフェースにおいて、クロック信号損失を検出し、それに応答してパワーダウン信号を生成する。従って、データ記憶装置は、パワーダウンされるコンピュータのそれぞれに応答して、自動的にパワーダウンされ得る。

【0008】好適には、リモート自動パワー制御装置は、ホストにおいて特殊なハードウェアまたはソフトウェアを使用せず、周辺装置においても特殊なソフトウェアを使用せず、周辺装置において少量の単純なハードウェアを使用するだけである。

【0009】

【発明の実施の形態】図1、図2及び図3は、本発明の特定の形態を実現するコンピュータ・システム100、200及び300をそれぞれ示す。3つのコンピュータ・システムは幾つかの可能な構成を例証するために示され、当業者であれば、多くの他の構成が実現可能であることが容易に理解できよう。実際、多数のコンピュータが一般にコンピュータ・システムにおいて使用される。

【0010】図1において、コンピュータ・システム100はコンピュータ102及び周辺装置104を含む。コンピュータ102は電力源106から電気的にパワー供給され、周辺装置104は電力源108から電気的にパワー供給される。周辺装置104は周辺装置コンポーネント110及び電源112を有し、両者は図1の実線境界により示されるハウジング内に支持され、配置される。ハウジング（及び後述のハウジング）は、こうしたコンポーネントを部分的にまたは完全に覆って支持する任意の好適な構造であり、好適には金属などの耐久材により形成される。電源112は電力源インタフェース（図示せず）を介して、電力源108に着脱式に接続される。ここで電力源インタフェースは、交流（AC）コンセントに接続される電源コードを含み得る。周辺装置104は、ハウジングにより支持され、周辺装置コンポーネント110に接続されるデータ通信インタフェース114を有する。データ通信インタフェース114はコネクタを含み、通常、周辺装置104に着脱式に接続されるアダプタ・カード120（破線により示される）上に設けられる。

【0011】コンピュータ102は、ケーブル116及び118（導線体または光導体）を介して、周辺装置コンポーネント110に接続され、それらと通信する。これらのケーブルは、データ通信インタフェース114に着脱式に接続される。導線体または光導体は、“物理（physical）”導体と呼ばれ得る。コンピュータ102は、データ通信インタフェース114に類似のデータ通信インタフェースを有する。コンピュータ102は、ケーブル116及び118により提供される2つの全2重路を介して、周辺装置104と通信するように動作するが、これは本質的ではない。

【0012】図2では、コンピュータ・システム200

6

がコンピュータ202、コンピュータ204及び周辺装置206を含む。コンピュータ202及び204は、それぞれ電力源208及び210からパワー供給され、周辺装置206は電力源212からパワー供給される。周辺装置206は周辺装置コンポーネント216を有し、それらは周辺装置コンポーネント218及び220が含まれ、これらは図2の実線境界により示されるハウジング内に支持され、配置される。電源214もまたハウジング内に配置され、電源コードなどの電力源インタフェース（図示せず）を介して、電力源212に着脱式に接続される。周辺装置206は、ハウジングにより支持され、周辺装置コンポーネント216に接続されるデータ通信インタフェース222及び224を有する。データ通信インタフェース222及び224の各々はコネクタを含み、図2に破線により示されるアダプタ・カード226などの、アダプタ・カード上に設けられる。データ通信インタフェース222及び224の各々は、コンピュータと、または別の周辺装置とケーブルを介して接続されるように、適応化される。

【0013】コンピュータ202は、ケーブル228及び230（導線体または光導体など）を介して、周辺装置コンポーネント216に接続され、それらと通信する。これらのケーブルは、データ通信インタフェース222に着脱式に接続される。コンピュータ202及び204は、データ通信インタフェース222及び224に類似のまたは同一のデータ通信インタフェースを有する。コンピュータ202及び204の各々は、ケーブルにより提供される2つの全2重（full-duplex）路を介して、周辺装置206と通信するように動作する。

【0014】図3は、複数のコンピュータ301、周辺装置308、及び周辺装置310を含むコンピュータ・システム300を示す。複数のコンピュータ301には、コンピュータ302、304及び306が含まれ、これらはそれぞれ電力源312、314及び316からパワー供給される。周辺装置308は電力源318からパワー供給される。周辺装置308は周辺装置コンポーネント320及び電源322を有し、これらの全ては、図3の実線境界により示されるハウジング内に支持され、配置される。電源322は電源コードなどの電力源インタフェース（図示せず）を介して、電力源318と着脱式に接続される。周辺装置308は、ハウジングにより支持され、周辺装置コンポーネント320に接続される複数のデータ通信インタフェース331を有する。複数のデータ通信インタフェース331の各々は、コンピュータと、または別の周辺装置とケーブルを介して接続されるように、適応化される。データ通信インタフェース331の各々はコネクタを含み、図3に破線により示されるアダプタ・カード338などの、アダプタ・カード上に設けられる。

【0015】周辺装置308は直列ループ型構成によ

り、周辺装置コンポーネント320への接続を提供する。データ通信インタフェース332の1つのポートが、周辺装置コンポーネント324の第1の末端部に接続され、他のポートが周辺装置コンポーネント326の第1の末端部に接続される。データ通信インタフェース340の1つのポートは、周辺装置コンポーネント324の第2の末端部に接続され、他のポートは周辺装置コンポーネント328の第1の末端部に接続される。データ通信インタフェース342の1つのポートは、周辺装置コンポーネント328の第2の末端部に接続され、他のポートは周辺装置コンポーネント330の第1の末端部に接続される。最後に、データ通信インタフェース344の1つのポートは、周辺装置コンポーネント330の第2の末端部に接続され、他のポートは周辺装置コンポーネント326の第2の末端部に接続される。

【0016】図3に示されるように、複数のコンピュータ301及び周辺装置308及び310がループ型に直列に接続される。コンピュータ302は、ケーブル334及び336（導線体または光導体など）を介して、周辺装置コンポーネント320に接続され、それらと通信する。これらのケーブルは、データ通信インタフェース332に着脱式に接続される。コンピュータ304及び306も類似に接続され、通信する。複数のコンピュータ301の各々は、データ通信インタフェース331に類似のデータ通信インタフェースを有する。各コンピュータは、図示のように、2つの全2重路を介して、周辺装置308及び310と通信するように動作する。

【0017】周辺装置310は、データ通信インタフェース313に接続される周辺装置コンポーネント311を含み、周辺装置104、206及び308（図1、図2及び図3）の1つと類似のまたは同一のコンポーネントを含み得る。周辺装置310は、データ通信インタフェース313と344間に接続される好適なケーブルを介して、周辺装置308に接続される。

【0018】ライン341は、あるアプリケーションにおいて必要とされる複数のコンピュータ301と複数の周辺装置308及び310間の大規模な遠位的なまたは物理的な分離を示す。例えば、周辺装置308及び310はバックアップ記憶用のデータ記憶装置を含み、複数のコンピュータ301から離れて孤立した耐火地下室内に配置され得る。

【0019】図8を参照すると、コンピュータ302のブロック図が示され、これは複数のコンピュータ301の各々、及びここで述べられた他のコンピュータを表す。コンピュータ302は電子コンポーネント802を含み、これは通常動作の間に、電源804から電力を供給される。電子コンポーネント802は、中央処理ユニット（CPU）、メモリ素子などの、コンピュータの通常の電子コンポーネントを含み得る。電子コンポーネント802はデータ送信機812及びデータ受信機814

に接続され、これらはデータ通信インタフェース806に接続される。データ通信インタフェース806は好適なコネクタを含み、アダプタ・カード上に設けられる。データ送信機812及びデータ受信機814もまた、アダプタ・カード上に設けられる。コンピュータ302は電力源インタフェース808を有し、これは電源コードを含み、電源804に切替え式に接続され、電力源312に接続されるように適応化され得る。電子コンポーネント802への電力の供給は、アクチュエート式スイッチ810（例えば通常のオン/オフ・スイッチまたは他の好適なスイッチング手段）の作動により終了され得る。ここでスイッチ810は、コンピュータ302をオン状態及びオフ状態にするための、それぞれオン位置とオフ位置とを有する。

【0020】図1乃至図3を再度参照し、1実施例では、コンピュータ・システム100、200及び300が、相互接続アーキテクチャとして、シリアル・ストレージ・アーキテクチャ（SSA）を使用する。すなわち、必要なコンポーネント（データ通信インタフェース、ケーブル、周辺装置コンポーネントなど）が、現在使用可能な既知のコンポーネントを用いて、SSAに従い構成される。こうしたSSAデータ記憶装置の1つは、現在IBMから提供されるIBM7133である。

【0021】SSAは、ディスク・ドライブ、テープ・ドライブ、CD-ROMドライブ、光ドライブ、プリンタ、スキャナ、及び他のコンポーネントを含むI/O装置を、コンピュータ及び記憶サブシステムに接続するために、特定の設計されたシリアル・インタフェースである。各SSAリンクは全2重であり、同時にフレーム多重化され、各方向において、（例えば）40MB/秒のデータ・レート、及び各ノードにおいて、（例えば）160MB/秒の総スループットをもたらす。4本の信号線だけが必要とされる（送受信の両方において、差動“ツイスト・ペア”が使用される）。当業者であればSSAに通じており、従って、ここではそのアーキテクチャ及び動作に関する説明は省略する。SSAの詳細については、“Information Technology-Serial Storage Architecture-Transport Layer 1 (SSA-TL1)、American National Standards Institute (ANSI) X3T10/0989 D”、“Information Technology-Serial Storage Architecture-Physical 1 (SSA-PH1)、ANSI X3T10. UXXXD”、及び“Information Technology-Serial Storage Architecture-SCSI-2 Protocol (SSA-S2P)、ANSI JUT10. 1/1 21D”を参照されたい。

【0022】しかしながら、当業者であれば、本発明がSSAに限るものでないことが容易に理解できよう。すなわち、コンピュータ・システムは他の好適なアーキテクチャ及びコンポーネントを使用し得る。例えば、別の実施例では、コンピュータ・システムはインタフェース・アーキテクチャとして、“ファイバ・チャネル”技術を

使用する。ファイバ・チャネルは、情報転送のためにANSI定義によるプロトコルにより文書化された別の公知の規格の統合セットの一般名である。

【0023】図4を参照すると、図3の周辺装置308内で使用され得る電子コンポーネント及び回路の関連部分が表示される。こうした電子コンポーネント及び回路は、図1及び図2の周辺装置104及び206内でも、同様に適用され得る。好適には、こうしたコンポーネントの一部または全てが、アダプタ・カード332などの、周辺装置のアダプタ・カード上に配置される。

【0024】図4の周辺装置コンポーネント320の各々は、装置機能及びデータ通信のための好適なコンポーネントを含む。例えば、周辺装置コンポーネント326は、データ送信機418、データ受信機420、及び装置422を含む。装置422は例えば、複数のコンピュータ301（図3）がデータを読み書きするためのデータ記憶コンポーネント（例えば磁気ディスクを使用するディスク・ドライブ）を含み得る。装置422はデータ送信機418及びデータ受信機420に接続され、これらはそれぞれデータ送信ライン及びデータ受信ラインに接続される。

【0025】周辺装置308はまた、複数の検出器401（検出器406及び408など）及び論理回路410を有する検出器回路400を含む。好適には、検出器の数は、コンピュータに接続されるように適応化されるデータ通信インタフェースの数に等しい。図3のコンピュータ・システム300では、検出器の数は好適には4つである。検出器406は、データ通信インタフェース332の受信データ・ラインに接続される入力と、論理回路410の第1の入力に接続される出力とを有する。同様に、検出器408は、データ通信インタフェース342の受信データ・ラインに接続される入力と、論理回路410の第2の入力に接続される出力とを有する。他の検出器についても同様に接続される。

【0026】検出器406は、コンピュータ302と周辺装置308間の通信リンクの非活動状態を検出するように動作し、またそれらの間の通信リンク活動を検出する。通信リンク活動状態及び非活動状態の検出にตอบสนองして、検出器406は適切な信号を論理回路410に生成する。検出器408及び他の検出器も同様に動作する。

【0027】通信リンク活動は、その活動が非アイドル活動（活動データ通信）かアイドル活動（非活動データ通信）かに関わらず、コンピュータがパワーオンされているときに、データ・ライン上に存在する信号を含む。データは、例えばデータをデータ記憶コンポーネントから読み書きするときに、伝達される。通信リンク非活動状態は、コンピュータがパワーオフされているときに、データ・ライン上に存在する信号を含む。例えば、連続クロック同期式シリアル・リンクにより、クロック信号が、（データが伝達されていないときでさえも、）パワ

ーオン状態の複数のコンピュータ301の各々から提供される。複数のコンピュータ301のそれぞれからのクロック信号の損失は、そのコンピュータがパワーオフされるか、周辺装置308から切り離されるときに発生する。こうした連続クロック同期式シリアル・リンクは、例えばSSAまたはファイバ・チャネル技術を使用するコンピュータ・システムにおいて提供される。

【0028】電源322は主電源412と補助電源414とに分割される。電源322の電源コード426は、一般のACコンセントにおいて提供される電力源などの、好適な電力源に接続される。通常動作の間、主電源412の出力（ V_{MAIN} ）は、電力をオン状態の周辺装置内の周辺装置コンポーネント326及び328に供給する。補助電源414の出力（ V_{AUX} ）は、電力を検出器回路400に供給する。主電源412から供給される電力は、補助電源414から供給される電力に比較して、かなり大きい。

【0029】主電源412は、論理回路410の出力に接続されるパワー制御入力416を有する。パワーアップ信号がパワー制御入力416に供給されると、主電源412は電力を周辺装置コンポーネント320に供給する。しかしながら、パワー制御入力416にパワーダウン信号が存在するとき、主電源412は周辺装置コンポーネント320への電力の供給を停止し、周辺装置308がオフ状態となる。

【0030】図5は、リモート自動パワー制御装置の一般的な動作を示すフロー図である。以下の説明では、図3、図4及び図5が一緒に参照される。ブロック500で開始し、主電源412が周辺装置コンポーネントに電力を供給し、これらが実質的にパワーアップ状態となる（ステップ502）。この時、データ通信インタフェース331に接続される複数のコンピュータ301（図3）が、パワーオン状態となって動作し、周辺装置308と通信可能になる。通信リンク活動が、複数のデータ通信インタフェース331の少なくとも1つにおいて存在する。

【0031】検出器回路400は複数のデータ通信インタフェース331を監視する（ステップ504）。より詳細には、検出器回路400は、コンピュータ通信のために指定された各データ通信インタフェース331において、通信リンク非活動状態が存在するか否かを監視する。この実施例では、コンピュータ通信のために指定されるデータ通信インタフェースは、データ通信インタフェース332、340及び342である。他方、データ通信インタフェース344は、別の周辺装置（図3に示される周辺装置310）との接続のために指定される。全てのコンピュータ302、304及び306が、（例えば図8のアクチュエート式スイッチ810などのスイッチを用いて）パワーオフされるか、周辺装置308から切り離されるとき、ステップ504において適切な検

11

出が発生する。こうした非活動状態がステップ506で検出されない場合、検出器回路400はステップ504で監視を継続する。周辺装置308は実質的にパワーアップ状態を維持し、複数のコンピュータ301の任意の1つにより使用され得る。

【0032】しかしながら、ある時点で、複数の全てのコンピュータ301がパワーオフされる。検出器回路400は、各データ通信インタフェース332、340及び342において、通信リンク非活動状態を検出し、主電源412に周辺装置コンポーネント320への電力の供給を停止するように知らせる(ステップ508)。この時、周辺装置コンポーネント320は実質的にパワーダウン状態となる。

【0033】補助電源414は、検出器回路400に電力を供給し続け、それにより検出器回路は通信リンク活動のために、複数のデータ通信インタフェース331を監視する(ステップ510)。周辺装置コンポーネント320は、こうした検出がステップ512で発生しない場合、実質的にパワーダウン状態を維持する。検出器回路400はステップ510で、複数のデータ通信インタフェース331の監視を継続する。

【0034】ステップ512で、検出器回路400により、1つのデータ通信インタフェースにおいて、通信リンク活動が検出されると、検出器回路400は主電源412に周辺装置コンポーネント320に電力を再供給するように知らせる(ステップ502)。この方法はステップ502において繰り返される。ここでステップ504及び510は明瞭化のために分離されて示されるが、こうしたステップは好適には、検出器動作の間に連続して実行される。

【0035】従って、(後述の意図的遅延を除き、)手操作などの他のアクションの必要無しに、周辺装置はリンク活動/非活動に即時応答して、自動的にパワーアップ/ダウンされ得る。

【0036】図6は、図3の周辺装置308において使用された電子コンポーネント及び回路の関連部分の別の実施例である。ここでは周辺装置コンポーネントは、図示の周辺装置コンポーネント326のデータ送信機606及び610、及びデータ受信機608及び612などの、2重の送信機及び受信機を含む。4つの検出器が示され、検出器602はデータ通信インタフェース332に接続され、検出器603はデータ通信インタフェース344に接続され、検出器605はデータ通信インタフェース342に接続され、検出器604はデータ通信インタフェース340に接続される。検出器回路600は、図4及び図5に関連して前述した検出器回路と同様に動作する。

【0037】当業者であれば、比較的複雑なコンピュータ・システムでは、こうしたパワー制御の使用に制限があることが理解できよう。例えば、本発明はコンピュー

12

タだけが、または周辺装置だけがデータ通信インタフェースに接続されるSSA実施例に好適である。

【0038】図7は、SSAまたはファイバ・チャネルなどの連続クロック同期式シリアル・リンクを使用するシステムにおいて使用され得る、検出器回路400の特定の好適なバージョン、及び論理回路410の特定のバージョンの概略図である。明瞭化のため、図7は検出器406だけを示し、これは好適には他の全ての検出器を表す。ここで、検出器406はクロック信号検出器またはクロック信号損失検出器と呼ばれる。検出器406は整流器回路706及び比較器回路708を含み、これらは図示のように接続される電気コンポーネントを有する。受信データ・ライン702及び704は、整流器回路706の入力に接続される。比較器回路708は、整流器回路706の出力に接続される第1の入力と、基準電圧に接続される第2の入力とを有し、出力720は論理回路410の入力に接続される。

【0039】整流器回路706は特に、抵抗710及び714、ダイオード712及び716(無線周波(RF)ダイオード)、及びコンデンサ718を含む。受信データ・ライン702は抵抗710の第1の端子に接続され、抵抗710の第2の端子は、ダイオード712の第1の端子に接続される。受信データ・ライン704は抵抗714の第1の端子に接続され、抵抗714の第2の端子は、ダイオード716の第1の端子に接続される。ダイオード712及び716の第2の端子は一緒に接続され、コンデンサ718の第1の端子に接続される。コンデンサ718の第2の端子はグラウンドに接続される。比較器回路708は電圧比較器であり、整流器回路706の出力が基準電圧を超えると、論理"1"を出力720に生成する。整流器回路706の出力が基準電圧よりも低下するとき、比較器回路708は出力720に論理"0"を生成するように動作する。前述の回路要素は好適であるが、当業者であれば、他の好適な要素も同様に使用可能であることが理解できよう(例えば、ダイオード結合がコンデンサ結合により置換され得る)。

【0040】論理回路410はORゲート722、及びそれに続く遅延回路724を含み、その出力はパワー制御入力416に接続される。コンピュータ通信のために指定された1つ以上の検出器が、通信リンク活動を検出すると、ORゲート722が論理"1"出力を生成し、主電源412のパワー制御入力416に、電力の供給を可能にするように知らせる。他方、コンピュータ通信のために指定された全ての検出器が、通信リンク非活動状態を検出すると、ORゲート722が論理"0"出力を生成し、主電源412が電力の供給を停止する。信号が主電源412に達する前に、遅延724により遅延時間が課せられ、システムのために好適なヒステリシスを提供する。

50

定子728及び検出器バイパス730を含む。インタフェース指定子730の各々は、1つのデータ通信インタフェース及び検出器に関連付けられる。各指定子は、インタフェースがコンピュータまたは別の周辺装置に接続されるか否かを指定する。インタフェース指定子732は、関連付けられるデータ通信インタフェースがコンピュータ通信に接続される場合、論理"1"にセットされ、それ以外では、インタフェース指定子732は論理"0"にセットされる。好適には、指定はコンピュータ・システム300の初期構成の間に確立される。

【0042】検出器バイパス730の各々は、1つのデータ通信インタフェース及び検出器に関連付けられ、コンピュータ通信のために指定されない(すなわち、別の周辺装置との接続のために指定される)データ通信インタフェースに接続される検出器の判定を、バイパスまたは無視するために使用される。ここで、検出器バイパス730は図示のようにANDゲートを含む。例えば、ANDゲート726は、インタフェース指定子732に接続される第1の入力と、検出器406の出力720に接続される第2の入力と、ORゲート722の入力に接続される出力とを有する。従って、コンピュータ通信のために指定されないデータ通信インタフェース(論理"0"にセットされる)では、ORゲート722が常に論理"0"信号を受信し、これが関連付けられる検出器をバイパスする。

【0043】図7の検出器回路400の幾つかの変形が可能である。例えば、好適な埋め込み型ソフトウェアを有するマイクロコントローラまたはマイクロプロセッサが、論理回路410を置換するか、論理回路410及び比較器708の両方を置換する。或いは、検出器バイパス730のANDゲートの代わりに、単純な導通ジャンパ(図示せず)が使用され、検出器の入力または出力に配置され得る。或いは、物理的スイッチまたはソフトウェア・スイッチが使用され、適切にセットされ得る。

【0044】従って、周辺装置が、パワーダウンされるコンピュータ・システムの複数のコンピュータにตอบสนองして、自動的にパワーダウンされ得る。周辺装置は、コンピュータ・システムのいずれのコンポーネントもパワーオンされず、周辺装置と通信しないとき、パワーダウンされる。パワーのこうした制御は、非常に長いコネクタ・ケーブルを介して遠隔的に配置された周辺装置にとって、特に便利である。本発明は好適には、インタフェース・アーキテクチャとして、ファイバ・チャネルやSSAなどの、連続クロック同期式シリアル・リンクを有するコンピュータ・システムにおいて利用される。こうしたリモート自動パワー制御装置の好適なバージョンは、ホスト・コンピュータにおいて特殊なハードウェアまたはソフトウェアを必要とせず、周辺装置においても特殊なソフトウェアを必要とせず、周辺装置において、少量の単純且つ低コストのハードウェアを必要とするだけで

ある。

【0045】まとめとして、本発明の構成に関して以下の事項を開示する。

【0046】(1) 1つ以上のコンピュータを有し、連続同期式シリアル・リンクを介して通信するコンピュータ・システムにおいて使用されるデータ記憶装置であって、ハウジングと、電源と、前記ハウジング内に設けられ、パワーアップ状態及びパワーダウン状態を有し、パワーダウン信号にตอบสนองして、前記パワーダウン状態に入力するデータ記憶コンポーネントと、前記ハウジング上に設けられ、前記データ記憶コンポーネントに接続され、それぞれが導線を介してコンピュータに接続されるように適応化される、1つ以上のデータ通信インタフェースと、前記データ通信インタフェースの各々においてクロック信号損失を検出し、該検出にตอบสนองして、前記パワーダウン信号を生成する検出器回路とを含む、データ記憶装置。

(2) 前記検出器回路が、コンピュータ通信のために指定された前記データ通信インタフェースの各々において、前記クロック信号損失を検出する、前記(1)記載のデータ記憶装置。

(3) 前記検出器回路が、前記データ通信インタフェースの少なくとも1つにおいてクロック信号を検出し、該検出にตอบสนองして、前記パワーダウン信号を停止する、前記(1)記載のデータ記憶装置。

(4) 前記データ記憶コンポーネントが、ディスク・ドライブ、CD-ROMドライブ、テープ・ドライブ、及び光ドライブの少なくとも1つを含む、前記(1)記載のデータ記憶装置。

(5) 前記電源が、前記コンピュータの電力源とは別の離れた電力源に接続するように適応化される、前記(1)記載のデータ記憶装置。

(6) 前記データ記憶装置がファイバ・チャネル規格及びシリアル・ストレージ・アーキテクチャ(SSA)規格に従い構成される、前記(1)記載のデータ記憶装置。

(7) 前記検出器回路が、データ通信インタフェースに接続される少なくとも1つのダイオードと、前記少なくとも1つのダイオードに接続される第1の入力を有する比較器、及び基準電圧に接続される第2の入力を有する比較器とを含む、前記(1)記載のデータ記憶装置。

(8) ハウジングと、前記ハウジング内に設けられ、パワーアップ状態及びパワーダウン状態を有する周辺装置コンポーネントと、前記パワーアップ状態の時、前記周辺装置コンポーネントに電力を供給する電源と、前記ハウジング上に設けられ、前記周辺装置コンポーネントに接続され、それぞれが導線を介してコンピュータに接続されるように適応化される、少なくとも1つのデータ通信インタフェースと、前記少なくとも1つのデータ通信インタフェースの各々における通信リンク非活動状態の

検出にตอบสนองして、前記周辺装置コンポーネントを前記パワーダウン状態に入力させる検出器回路とを含む、周辺装置。

(9) 前記検出器回路が、前記少なくとも1つのデータ通信インタフェースの少なくとも1つにおける通信リンク活動の検出にตอบสนองして、前記周辺装置コンポーネントを前記パワーアップ状態に入力させる、前記(8)記載の周辺装置。

(10) 電力源に接続されるように適応化される、前記電源の電力源インタフェースを含む、前記(8)記載の周辺装置。

(11) 前記周辺装置がファイバ・チャネル規格に従い構成される、前記(7)記載の周辺装置。

(12) 前記周辺装置がシリアル・ストレージ・アーキテクチャ(SSA)規格に従い構成される、前記(7)記載の周辺装置。

(13) 周辺装置への電力の供給を制御する方法であって、前記周辺装置が1つ以上のコンピュータと通信する周辺装置コンポーネントを有し、前記コンピュータの電力源とは別の離れた電力源から動作可能なものにおいて、前記周辺装置コンポーネントに電力を供給し、それらを動作状態にするステップと、複数のデータ通信インタフェースの各々において、通信リンク非活動状態を検出するステップと、前記通信リンク非活動状態の検出にตอบสนองして、前記周辺装置コンポーネントへの電力の供給を停止し、前記周辺装置コンポーネントを非動作状態にするステップとを含む、方法。

(14) 前記複数のデータ通信インタフェースの少なくとも1つ上の通信リンク活動を検出するステップと、前記通信リンク活動の検出にตอบสนองして、前記周辺装置コンポーネントに電力を供給し、前記周辺装置コンポーネントを動作状態にするステップとを含む、前記(13)記載の方法。

(15) 前記通信リンク非活動状態を検出するステップが、クロック信号損失を検出するステップを含む、前記(13)記載の方法。

(16) 前記通信リンク非活動状態を検出するステップが、クロック信号損失を検出するステップを含み、前記通信リンク活動を検出するステップが、前記クロック信号を検出するステップを含む、前記(13)記載の方法。

(17) 前記周辺装置コンポーネントに電力を供給するステップが、前記周辺装置のデータ記憶コンポーネントに電力を供給するステップを含む、前記(13)記載の方法。

(18) 1つ以上のコンピュータを含み、前記各コンピュータが、第1のハウジングと、前記第1のハウジング内に配置され、コンピュータ・オン状態において動作状態となり、コンピュータ・オフ状態において非動作状態となる第1の電子コンポーネントと、前記コンピュータ

・オン状態の時、前記第1の電子コンポーネントに電力を供給する第1の電力源に接続されるように適応化される第1の電力源インタフェースと、前記第1のハウジング上に設けられ、前記コンピュータ・オン状態及びオフ状態を呼び出すために、それぞれオン位置及びオフ位置にアクチュエート可能な第1のアクチュエート式スイッチと、前記コンピュータ・オン状態において、送信機出力に信号を生成し、前記コンピュータ・オフ状態において、前記信号の生成を停止するデータ送信機と、前記送信機出力に接続される第1のデータ通信インタフェースと、周辺装置とを含み、前記周辺装置が、前記第1のハウジングとは別の離れた別の第2のハウジングと、前記第2のハウジング内に設けられ、周辺装置オン状態において動作状態となり、周辺装置オフ状態において非動作状態となる周辺装置コンポーネントと、前記周辺装置オン状態の時、前記周辺装置コンポーネントに電力を供給する、前記第1の電力源とは別の離れた第2の電力源に接続されるように適応化される第2の電力源インタフェースと、前記ハウジング上に設けられ、それぞれがケーブルを介して、前記複数のコンピュータの前記第1のデータ通信インタフェースに接続されるように適応化される複数のデータ通信インタフェースと、前記各コンピュータからの前記信号の停止を検出し、それに対応して、前記周辺装置を前記周辺装置オフ状態にセットする検出器回路とを含む、コンピュータ・システム。

(19) 前記検出器回路が、前記複数のコンピュータの少なくとも1つからの前記信号を検出し、それに対応して、前記周辺装置を前記周辺装置オン状態にセットする、前記(18)記載のコンピュータ・システム。

(20) 前記複数のコンピュータの前記各データ送信機が、前記コンピュータ・オン状態の時、連続クロック信号を含む信号を生成する、前記(18)記載のコンピュータ・システム。

【図面の簡単な説明】

【図1】コンピュータ及び周辺装置を有するコンピュータ・システムを示す図である。

【図2】複数のコンピュータ及び1つの周辺装置を有する別のコンピュータ・システムを示す図である。

【図3】複数のコンピュータ及び複数の周辺装置を有する別のコンピュータ・システムを示す図である。

【図4】リモート自動パワー制御装置を形成する、図3の周辺装置内で使用される関連電子コンポーネント及び回路の概略ブロック図である。

【図5】リモート自動パワー制御装置を用いて、周辺装置へのパワー供給を制御する方法のフロー図である。

【図6】リモート自動パワー制御装置を形成する、図3の周辺装置内で使用される関連電子コンポーネント及び回路の別の概略ブロック図である。

【図7】連続クロック同期式シリアル通信リンクにとって好適な検出器回路の特定の好適なバージョン、及び論

17

理回路の特定のバージョンの概略図である。

【図8】通常のコンピュータの単純ブロック図である。

【符号の説明】

100、200、300 コンピュータ・システム
 102、202、204、301、302、304、306 コンピュータ
 104、206、308、310 周辺装置
 106、108、208、210、212、312、314、316、318 電力源
 110、216、218、220、311、320、324、326、328、330 周辺装置コンポーネント
 112、214、322、804 電源
 114、222、224、313、331、332、340、342、344、806 データ通信インタフェース
 116、118、228、230、334、336 ケーブル
 120、226、338 アダプタ・カード
 400、600 検出器回路

18

406、408、602、603、604、605 検出器

410 論理回路

412 主電源

414 補助電源

418、606、610、812 データ送信機

420、608、612、814 データ受信機

426 電源コード

706 整流器回路

708 比較器回路

710、714 抵抗

722 ORゲート

724 遅延回路

726 ANDゲート

728、732 インタフェース指定子

730 検出器バイパス

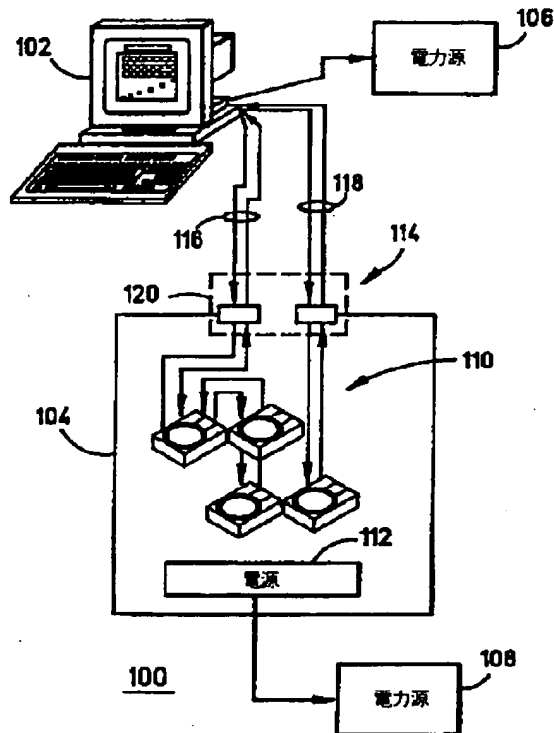
802 電子コンポーネント

808 電力源インタフェース

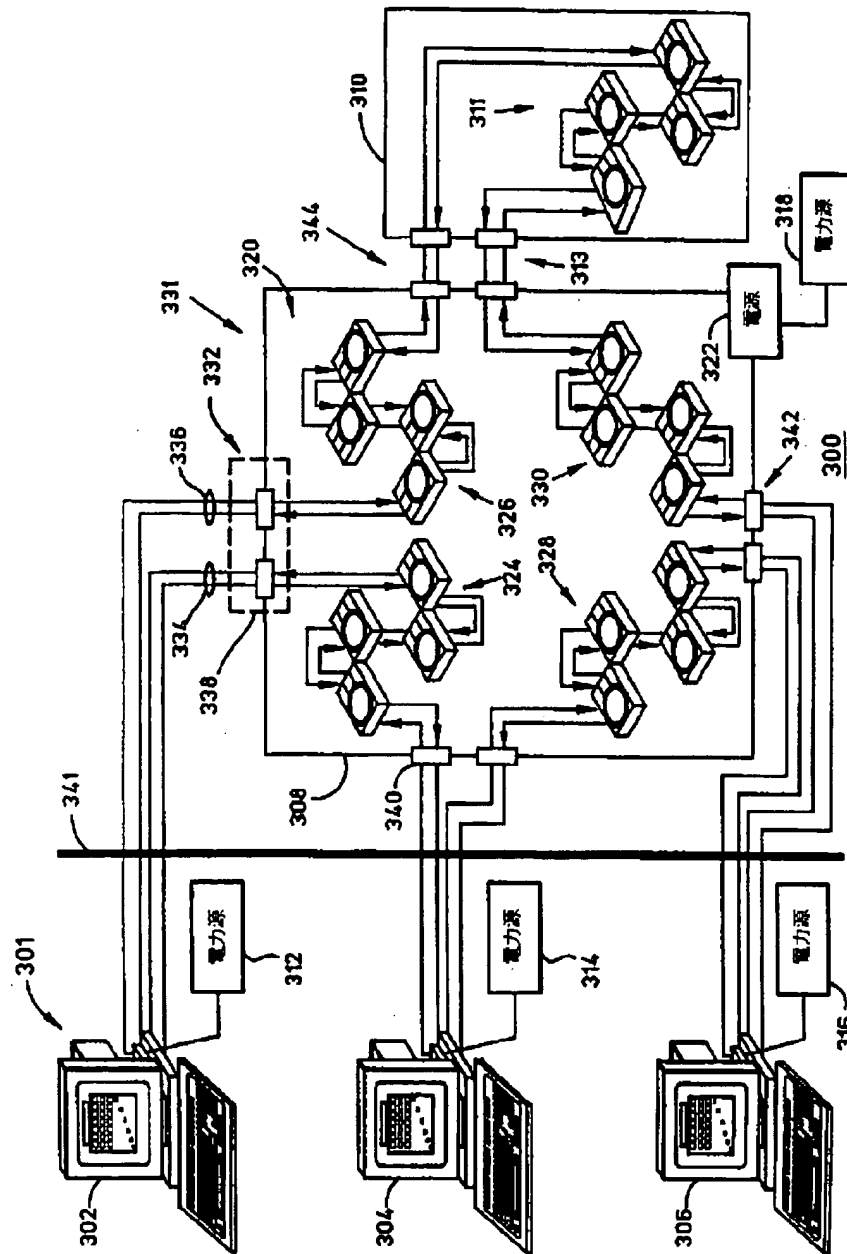
810 アクチュエート式スイッチ

20

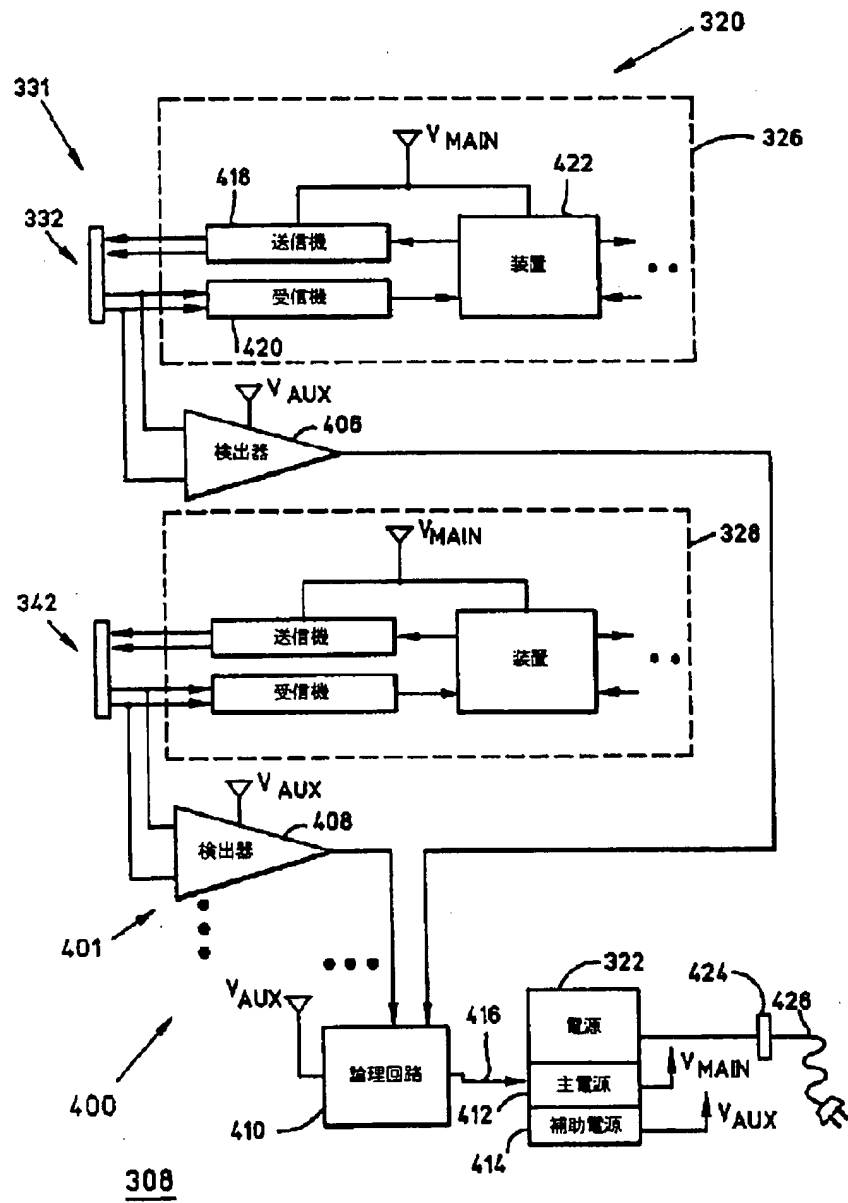
【図1】



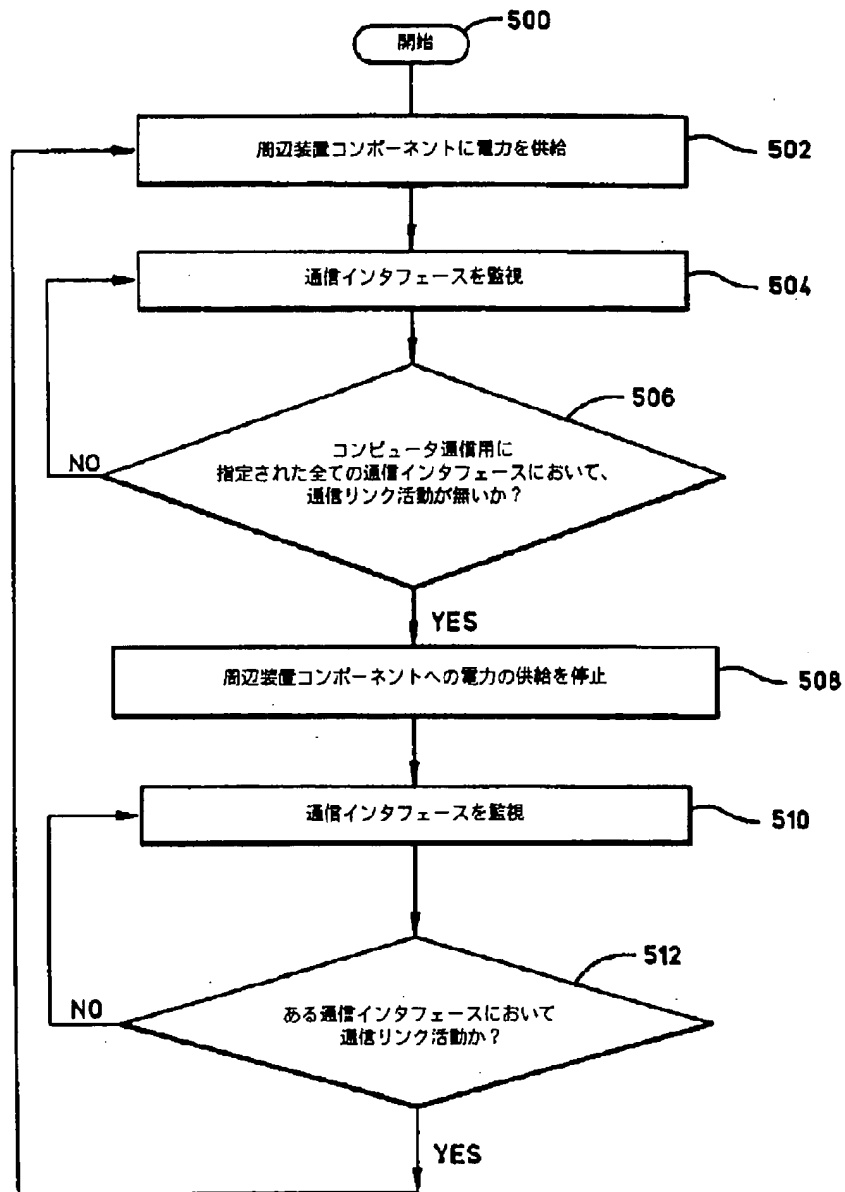
【図3】



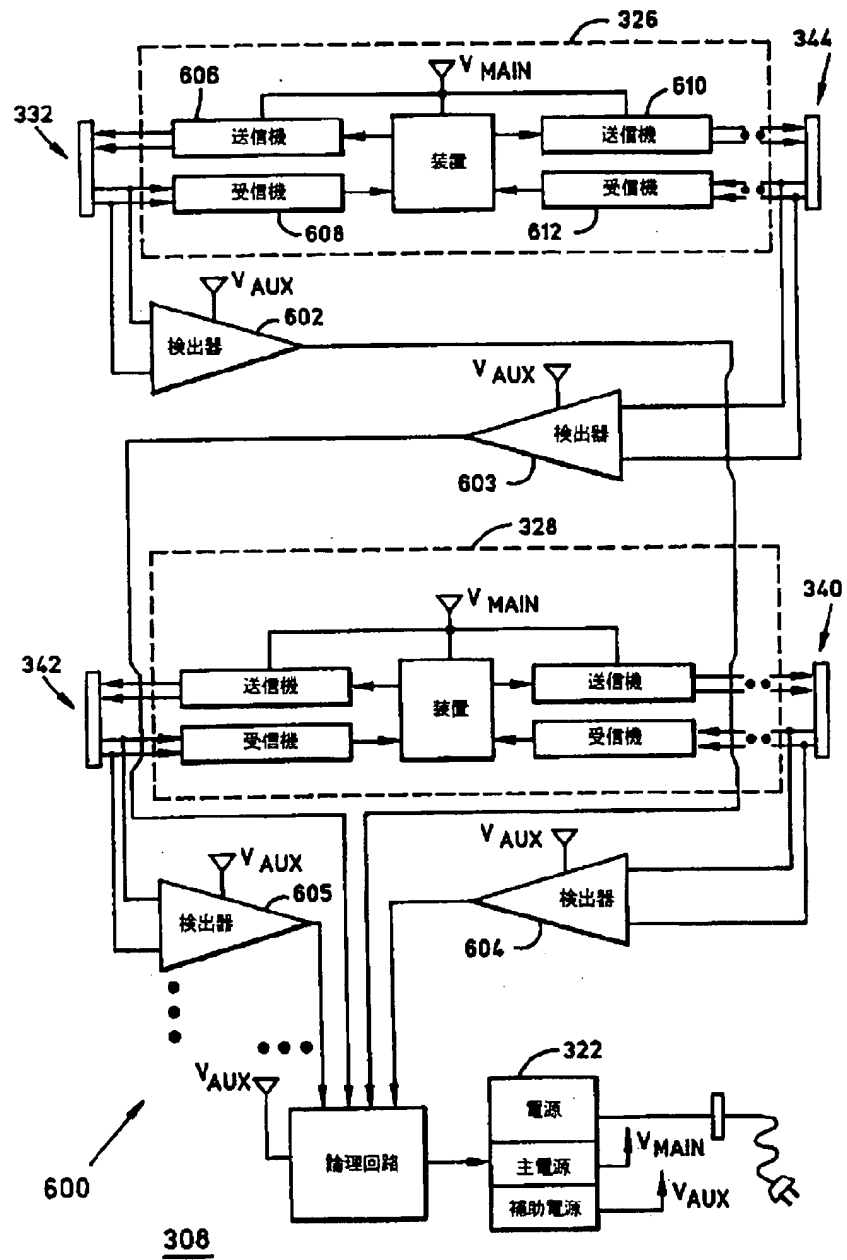
【図4】



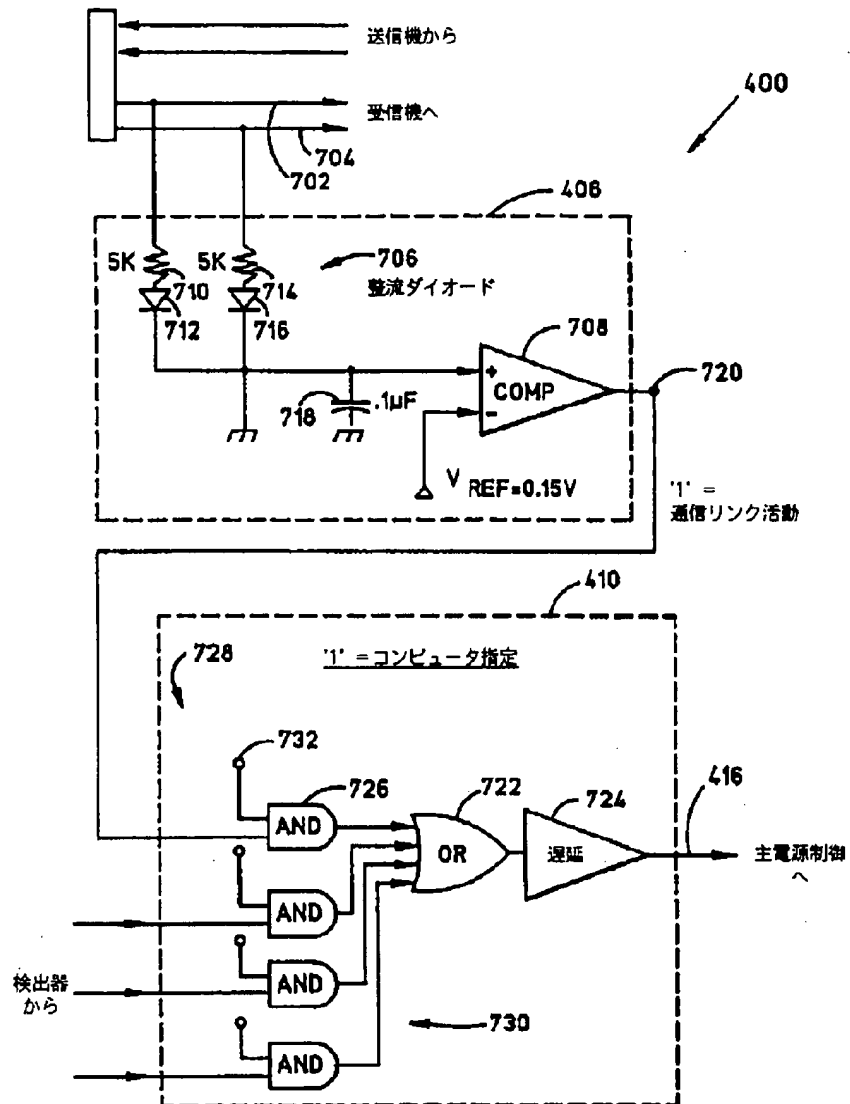
【図5】



【図6】



【図7】



【図8】

